

## (12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004年1月29日 (29.01.2004)

PCT

(10) 国際公開番号  
WO 2004/010488 A1

(51) 国際特許分類<sup>7</sup>:  
21/338, 29/778, 29/808, 29/812

H01L 21/337,

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 長谷 伊知郎  
(HASE,Ichiro) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

(21) 国際出願番号: PCT/JP2003/008982

(22) 国際出願日: 2003年7月15日 (15.07.2003)

(74) 代理人: 中村 友之 (NAKAMURA,Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(81) 指定国(国内): CN, GB, KR, US.

(30) 優先権データ:  
特願2002-210597 2002年7月19日 (19.07.2002) JP

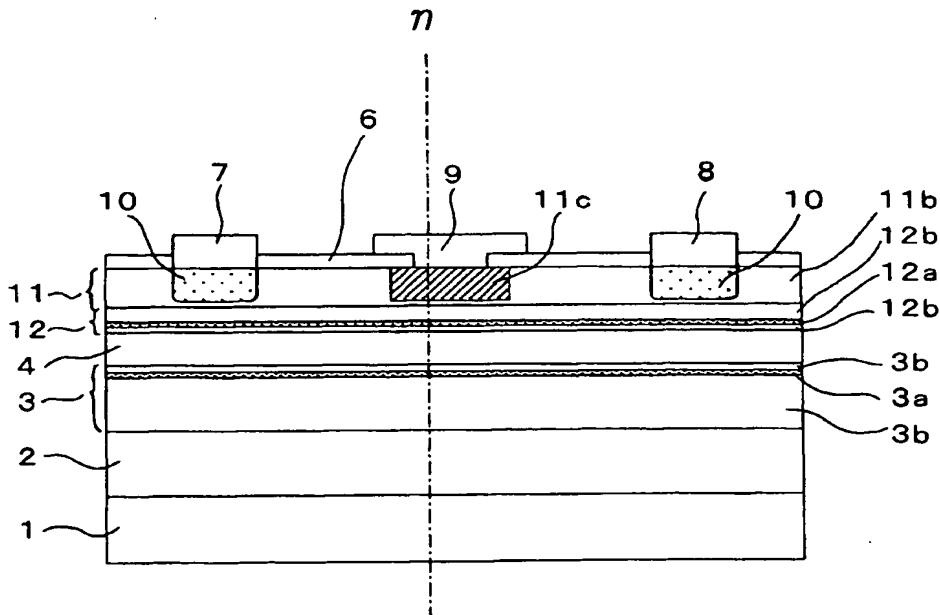
添付公開書類:  
— 國際調査報告書

(71) 出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



WO 2004/010488 A1

(57) Abstract: A semiconductor device realizing a power transistor capable of operating in a complete enhancement mode and excellent in low-distortion high-efficiency characteristic. Over one side of a substrate (1) of single crystal GaAs, a buffer layer (2), a second barrier layer (3) of AlGaAs, a channel layer (4) of InGaAs, a third barrier layer (12) of InGaP, and a first barrier layer (11) of AlGaAs are formed in this order. The first and third barrier layers (11, 12) satisfy the relation  $X_1 - X_3 \leq 0.5*(Eg_3 - Eg_1)$  where  $X_1$  is the electron affinity of the first barrier layer (11),  $Eg_1$  is the band gap thereof,  $X_3$  is the electron affinity of the third barrier layer (12), and the  $Eg_3$  is the band gap thereof.

(統葉有)



---

(57) 要約: 完全エンハンスマント動作が可能で、低歪み高効率特性に優れたパワートランジスタを実現できる半導体装置である。単結晶GaAsよりなる基板(1)の一面に、バッファ層(2)を介して、AlGaAsよりなる第2の障壁層(3)、InGaAsよりなるチャネル層(4)、InGaPよりなる第3の障壁層(12)、およびAlGaAsよりなる第1の障壁層(11)が順次積層される。第1の障壁層(11)と第3の障壁層(12)との間には、第1の障壁層(11)の電子親和力を $\chi_1$ 、バンドギャップを $E_{g1}$ 、第3の障壁層(12)の電子親和力を $\chi_3$ 、バンドギャップを $E_{g3}$ としたとき、 $\chi_1 - \chi_3 \leq 0.5 * (E_{g3} - E_{g1})$ の関係が成立する。

## 明細書

## 半導体装置

## 5 技術分野

本発明は、パワーアンプ等に適用される半導体装置に関する。

## 背景技術

移動体通信用携帯端末の送信用パワーアンプに対する最近の要求事項  
10 に、低歪高効率動作と单一正電源動作がある。ここで、高効率動作とい  
うのは、出力電力  $P_{out}$  と入力電力  $P_{in}$  の差と直流投入電力  $P_{dc}$  の比で定  
義される電力付加効率 (Power Added Efficiency ; 以下 PAE とい  
う。) を高めた動作を意味する。PAE が大きいほど携帯端末の消費電  
力が少なくなるので、PAE は重要な性能指標となっている。また、最  
15 近の CDMA (Code Division Multiple Access) や WCDMA  
(Wideband CDMA) などデジタル無線通信方式を利用した携帯端末  
では、パワーアンプの歪に対しても厳しい規格が課されているため低歪  
化も重要になる。ただし、歪と効率は一般にトレードオフの関係にあり、  
一定低歪条件のもとで PAE を大きくする必要がある。これが低歪高効  
率動作の意味である。  
20

一方、单一正電源動作のほうは、従来のディプレーション型  
(Depletion Mode) FET (Field Effect Transistor) によって  
パワーアンプを構成した場合に必要であった負電源発生回路、ドレイン  
スイッチを不要にして、端末の小型化、低コスト化に寄与する。

25 これらの要求を満たすことができるパワーアンプ用デバイスとして HBT (Heterojunction Bipolar Transistor) が良く知られている。

しかし、HBTにおいて、パワーアンプ特性を向上させるためには電流密度を高くしなければならないが、発熱によってパワーアンプ特性の向上が制限されたり、信頼性確保のために高度な放熱設計が必要になるなど問題も生じる。そこで、HFET (Heterojunction Field Effect Transistor) による単一正電源動作も注目されている。ここでHFETは、HEMT (High Electron Mobility Transistor) やHIGFET (Heterostructure Insulated-Gate FET) など、ヘテロ接合を利用したFETの総称である。HFETでは高性能スイッチの実現も可能で、パワーアンプとスイッチの一体化が可能になるというメリットも生じる。

ところで、HFETで単一正電源動作を実現し、負電源発生回路、ドレインスイッチを不要とするには、完全エンハンスマント型 (Enhancement mode) のHFETを実現する必要がある。ここで、完全エンハンスマントというのは、オフ時のドレンリードが充分に小さい、つまりゲート・ソース間の電圧を0に保ったまま、ソース・ドレン間に電圧を印加した場合に、ソース・ドレン間を流れる電流が充分に小さいため、ドレインスイッチを不要にできるレベルのエンハンスマント型動作を意味し、一般に0.5V程度以上の高いしきい値電圧 $V_{th}$ が必要になる。

このようなエンハンスマント型のHFETを従来のリセスゲート構造を有するショットキー接合ゲート型HFETで実現した場合、問題となるのは、第1に表面空乏化の影響でソース抵抗、オン抵抗 $R_{on}$ が増大すること、第2に $V_{th}$ が高くなる結果、ゲート・ソース間の順方向電流立ち上がり電圧 $V_f$ と $V_{th}$ の差が縮小することであり、結局、低歪高効率特性を得ることが非常に困難となる。

完全エンハンスマント型動作を実現しやすいH F E Tとしては、例えば、特願平10-258989号公報に開示されているようなJ P H E M T (Junction Pseudomorphic HEMT) 構造がある。

第7図は、このような従来型J P H E M Tの一構成例である。この半導体装置は、例えば、半絶縁性の単結晶G a A sよりなる基板1の一面に、例えば不純物を意図的には添加しないu-G a A s (u-は不純物を意図的には添加していないことを表す；以下同じ)よりなるバッファ層2を介して、A 1組成比20%程度のA 1 G a A sよりなる第2の障壁層3、I n組成比20%程度のI n G a A sよりなるチャネル層4およびA 1組成比20%程度のA 1 G a A sよりなる第1の障壁層5が順次積層されている。

第1の障壁層5は、n型不純物が高濃度に添加された領域5 a、不純物が意図的には添加されていない領域5 bと、高濃度のp型不純物を含みゲート電極9に対応して設けられたp型導電領域5 cとを有している。第2の障壁層3は、n型不純物が高濃度に添加された領域3 aと、不純物が意図的には添加されていない領域3 bとを有している。p型導電領域5 cは、一般にはZ nの拡散によって形成される。

第1の障壁層5の基板1と反対側の面には絶縁膜6が形成されている。この絶縁膜6には複数の開口が設けられており、これらの開口における第1の障壁層5上にはソース電極7、ドレイン電極8、ゲート電極9が形成されている。ソース電極7、ドレイン電極8の下部には、例えば、これらの電極と下地の半導体層の合金化によって生じる低抵抗層10が存在し、ソース電極7、ドレイン電極8と第1の障壁層5とはn型のオーム接觸を形成している。また、ゲート電極9は第1の障壁層5とp型のオーム接觸を形成している。チャネル層4は、ソース電極7とドレイン電極8の間の電流通路となっている。なお、第7図では示さ

なかったが、ソース電極7やドレイン電極8と第1の障壁層5の間にn型不純物が高濃度に添加されたキャップ層が介在する場合もある。

第7図に示したようなJPHEMT構造では、pn接合ゲートを用いているため、ビルトイン電圧を稼ぐことができ、通常のショットキーゲート型HFETに比べて、より高い電圧をゲートに印加することができる。つまりゲート・ソース間の順方向立ち上がり電圧 $V_f$ を高くできる。以下、 $V_f$ はゲート・ソース間の順方向電流が所定の値を示す電圧として定義されるものとする。

さらに、上記JPHEMTでは、高濃度のp型不純物を含むp型導電領域5cが第1の障壁層5に埋め込まれた形になっているので、 $V_{th}$ がプラスのエンハンスマント型においても表面空乏化によるソース抵抗の増大が生じにくく都合がよい。

このように、第7図に示すJPHEMTは、エンハンスマント型動作を行わせるには非常に有利な構造を有しているが、先に述べた完全エンハンスマント型動作を実現するにはまだ不充分なところがある。すなわち、第7図のJPHEMTは、 $V_f$ が1.2V程度と、通常のショットキーゲート型HFETやJFETよりも大きな値であり、エンハンスマント型動作を行わせるだけであれば問題はないが、完全エンハンスマント型動作となると、0.5V程度以上の $V_{th}$ が必要になり、さらに製造バラツキも考慮して考えると、さらに高い $V_{th}$ でも満足な特性が得られなければならない。しかし、このように $V_{th}$ が大きくなってくると、pn接合ゲートといえども $V_{th}$ と $V_f$ の差が縮小してくるため、低歪条件下でのPAE特性が劣化してくる。

本発明は、このような問題点に鑑みてなされたものであり、パワートランジスタとして完全エンハンスマント型動作が可能で、かつ低歪み高効率特性に優れた半導体装置を提供することを目的とする。

## 発明の開示

すなわち、本発明（1）は、ソース電極と、ドレイン電極と、ソース電極とドレイン電極の間に設けられたゲート電極と、ソース電極とドレイン電極の間の電流通路となる半導体からなるチャネル層とを有する半導体装置において、ゲート電極に対応して高濃度のp型不純物が添加されたp型導電領域を有する半導体からなる第1の障壁層と、チャネル層を挟んで第1の障壁層と反対側に設けられ、チャネル層よりも電子親和力が小さい半導体からなる第2の障壁層と、第1の障壁層とチャネル層の間に設けられ、チャネル層よりも電子親和力が小さい半導体からなる第3の障壁層とを備え、第1の障壁層の電子親和力を $\chi_1$ 、バンドギャップを $Eg_1$ 、前記第3の障壁層の電子親和力を $\chi_3$ 、バンドギャップを $Eg_3$ としたとき、次式

$$\chi_1 - \chi_3 \leq 0.5 * (Eg_3 - Eg_1) \quad \dots \dots (1)$$

が成り立つことを特徴とする。

本発明（1）においては、第1の障壁層に対して上記式（1）の関係を満たす第3の障壁層を第1の障壁層とチャネル層の間に設けることにより、ゲート順方向電流の立ち上がり電圧 $V_f$ に関連するホールに対する障壁高さ $\phi h$ が大きくなり、 $V_f$ を高くすることが可能となる。これにより、完全エンハンスメント動作が容易になり、パワーアンプを構成する際に負電源発生回路やドレインスイッチが不要になり、パワーアンプを小型化、低価格化することが可能となる。また、ソース抵抗をあまり増大させることなく $V_f$ を高くできる結果、一定低歪条件の下での電力付加効率を高めることが可能となる。

本発明（1）の構成において、第1の障壁層11と第3の障壁層12の半導体材料としては、例えば、III族元素としてGa、Al、Inの

うち少なくともひとつを含み、V族元素としてAs、Pのうち少なくともひとつを含むIII-V族化合物半導体を用いたさまざまな組み合わせのものを用いることができる。例えば第1の障壁層11にはGaAsまたはAl組成比50%以下のAlGaAsまたはInGaPを用いること 5 ができる。また、第3の障壁層12にはInGaPやAl組成比が50%以上のAlGaAsの他、AlInGaPやGaInAsPなど4元化合物を用いることもできる。また、チャネル層にはInGaAsまたはGaAsが用いられる。そして、第3の障壁層の厚さは、エンハンスメント型動作に対応した所望のしきい値電圧 $V_{th}$ を得るために、20 10 nm以下が好ましい。また、特に第1の障壁層内のp型導電領域をp型不純物の拡散によって形成する場合、拡散の制御性の観点からp型不純物が第3の障壁層内にできるだけ侵入しないことが望ましい。それを保障するため、第1の障壁層内の第3の障壁層寄りの部分に、p型導電領域中の最大不純物濃度の十分の一以下の不純物しか含まれていない半導 15 体層が例えば5nm以上の厚みで存在することが好ましい。

本発明(2)は、上記本発明(1)の半導体装置において、第3の障壁層とチャネル層の間に、チャネル層よりも電子親和力が小さい半導体からなる第4の障壁層を備えたことを特徴とする。

本発明(2)においては、第1の障壁層と式(1)の関係を有する第20 3の障壁層がチャネル層と良好な界面を形成できない場合でも、第4の障壁層にチャネル層と良好な界面を形成できる半導体材料を用いることで、この問題は回避される。

本発明(2)の構成において、第4の障壁層の半導体材料としては、例えば、AlGaAsまたはGaAsを用いることができる。また、V<sub>th</sub>の関係から、第4の障壁層は第3の障壁層との厚さの和が20nm以下となるように形成することが好ましい。

本発明（3）は、上記本発明（1）の半導体装置において、第1の障壁層とゲート電極の間に、第1の障壁層よりもバンドギャップが小さく、高濃度のp型不純物が添加されたp型導電領域を有する半導体からなる第5の障壁層を備えたことを特徴とする。

5 本発明（3）においては、ゲート金属とゲート金属が接する半導体の間のショットキー障壁の高さが減少し、オーミックコンタクト抵抗の低減が可能となる。

本発明（3）の構成において、第5の障壁層の半導体材料としては、例えば、GaAsを用いることができる。

10 本発明（4）は、上記本発明（1）の半導体装置において、第1の障壁層と第3の障壁層の間に、Znの拡散速度が第1の障壁層よりも遅い半導体からなる第6の障壁層を備えたことを特徴とする。

本発明（4）においては、第1の障壁層のp型導電領域をZnの拡散によって形成する場合に、第1の障壁層に添加されたZnの拡散を第6の障壁層で止めることができとなり、Zn拡散の制御が容易となる。

15 本発明（4）の構成において、第6の障壁層の半導体材料としては、例えば、GaAsまたはAlGaAsを用いることができる。また、V<sub>th</sub>の関係から、第6の障壁層は第3の障壁層との厚さの和が25nm以下となるように形成することが好ましい。

20

#### 図面の簡単な説明

第1図は、本発明の半導体装置の第1の実施の形態を示す断面図である。

第2図は、第1図のη軸に沿ったバンド図である。

25 第3図は、本発明の半導体装置の第2の実施の形態を示す断面図である。

第4図は、本発明の半導体装置の第3の実施の形態を示す断面図である。

第5図は、本発明の半導体装置の第4の実施の形態を示す断面図である。

5 第6図は、本発明の半導体装置の第5の実施の形態を示す断面図である。

第7図は、従来技術の半導体装置である従来型J P H E M Tを示す断面図である。

第8図は、第7図の $\eta$ 軸に沿ったバンド図である。

10

#### 発明を実施するための最良の形態

以下、図面に基づいて本発明の実施の形態を説明する。

##### (第1の実施の形態)

第7図に示した従来型J P H E M Tの課題を解決するために、まずゲートリークのメカニズムについて要因分析を行った。第8図は、第7図の $\eta$ 軸に沿ったバンド図であり、ゲートに電圧を印加していない状態を示している。 $E_c$ は伝導帯の底のエネルギー、 $E_v$ は価電子帯の頂上のエネルギー、 $E_f$ はフェルミ準位、 $\phi_e$ は電子に対する障壁高さ、 $\phi_h$ はホールに対する障壁高さである。第8図は、ある特定パラメータに対する計算結果に基づいたものであり、異なったパラメータに対しては異なったバンド図となるが、下記の定性的な傾向を掴むには充分である。

まず、この図から、 $\phi_e$ は第1の障壁層5のバンドギャップ $E_{g_1}$ にほぼ等しい( $\phi_e \sim E_{g_1}$ )。一方、 $\phi_h$ は、 $E_{g_1}$ に比べてかなり小さい。25 その主たる原因是、AlGaAs層(第1の障壁層5)とInGaAs層(チャネル層4)の伝導帯端エネルギー差 $\Delta E_c$ がかなり大きく、

$\phi_h < E_{g_1} - \Delta E_c$  となるからである。先に第7図で説明したような、  
A1組成比20%程度、In組成比20%程度の場合、 $\Delta E_c$ は360  
meV程度となる。 $E_{g_1}$ は、1.7eV程度であるので、結局、 $\phi_e$ はおよそ1.7eV、 $\phi_h$ はおよそ1.3eVとなる。つまり  $\phi_h < \phi_e$  となる  
5 ので、ゲートの順方向電流はホール注入が支配することがわかる。従つて、ゲート順方向の立ち上がり電圧 $V_f$ を高くするには、まず  $\phi_h$ を大きくしなければならない。

$\phi_h$ を大きくするためのひとつ的方法として、第1の障壁層のA1組成比を増やしてバンドギャップを大きくすることが考えられる。しかしながら、例えばA1組成比を20%程度から30~40%程度に大きくした場合、電子親和力が小さくなる分、一般にソースコンタクト抵抗が高くなる。また、A1組成を増やしていく場合、Znの拡散速度が速くなることから、拡散の制御性にも問題が生じてくる。

そこで上記のような問題を生じることなく  $\phi_h$ を大きくできる構造として、第1図に示す第1の実施の形態が考えられる。第1図のη軸に沿ったバンド図を第2図に示す。第7図、第8図との違いは、p型導電領域11cを含む半導体よりなる第1の障壁層11とチャネル層4の間に、半導体よりなる第3の障壁層12を挿入したことであり、第2図に示すように、この第3の障壁層12は第1の障壁層11よりもバンドギャップが大きく、第1の障壁層11と第3の障壁層12の伝導帯端エネルギー差  $\Delta E_{c_{13}}$  よりも価電子帯端エネルギー差  $\Delta E_{v_{13}}$  のほうが大きい。従って、 $\phi_h$ が大きくなる結果、 $V_f$ も大きくできるが、第3の障壁層12の電子親和力はそれほど小さくならず、また第1と第3の障壁層の伝導帯端エネルギー差  $\Delta E_{c_{13}}$  もそれほど大きくはならないため、  
20 ソースのオーミックコンタクト抵抗増大を防ぐことができる。また、この構造では、p型導電領域11cのZnの拡散層が第3の障壁層12ま  
25

で達しないような構造にできるので、Znの拡散速度が問題になることはなくなる。

上記、第1の障壁層11と第3の障壁層12の関係は、第1の障壁層11の電子親和力を $\chi_1$ 、バンドギャップをEg<sub>1</sub>、第3の障壁層12の電子親和力を $\chi_3$ 、バンドギャップをEg<sub>3</sub>とした場合、次式で表される。

$$\chi_1 - \chi_3 \leq 0.5 * (Eg_3 - Eg_1) \quad \dots \dots \quad (1)$$

以下、第1図に基づいて、本発明の半導体装置の第1の実施の形態を具体例を挙げて詳細に説明する。第1図に示す半導体装置は、例えば、  
10 半絶縁性の単結晶GaAsよりなる基板1の一面に、例えば不純物を意図的には添加しないu-GaAs、u-AlGaAsあるいはそれらの多層膜よりなるバッファ層2を介して、Al組成比20%程度のAlGaAsよりなる第2の障壁層3、In組成比20%程度のInGaAsよりなるチャネル層4、InGaPよりなる第3の障壁層12、および  
15 Al組成比20%程度のAlGaAsよりなる第1の障壁層11が順次積層されている。

なお、ここでは、第1の障壁層11にAl組成比が20%程度のAlGaAsを、第3の障壁層12にはInGaPを用いたが、式(1)のような関係を満たす材料の組み合わせとしては、第1の障壁層11と  
20 第3の障壁層12に、III族元素としてGa、Al、Inのうち少なくともひとつを含み、V族元素としてAs、Pのうち少なくともひとつを含むIII-V族化合物半導体を用いたさまざまな組み合わせが考えられる。例えば第1の障壁層11にはGaAsまたはAl組成比50%以下のAlGaAsまたはInGaPを用いることができる。また、第3の  
25 障壁層12にはInGaPやAl組成比が50%以上のAlGaAsの他、AlInGaPやGaInAsPなど4元化合物を用いることもで

きる。Al組成比が50%以上のAlGaAsでは、伝導帯のXバンドに対する電子親和力が大きくなつてくるために、式(1)の関係を満たしやすくなる。また、チャネル層には、InGaAs以外にもGaAsが用いられる。

5 第1の障壁層11は、高濃度のp型不純物を含みゲート電極9に対応して設けられたp型導電領域11cを有し、それ以外の領域は、低不純物濃度領域11bとなっている。ここでは、p型不純物としてZnが用いられ、Znの拡散によってp型導電領域11cが形成されている。また、第1の障壁層11の厚さは100nmをしている。これ以上厚く  
10 ても薄くともかまわないので、厚すぎるとソースコンタクト抵抗を低減しにくくなり、また薄すぎるとZn拡散の制御が困難になるので、70~100nm程度が好ましい。このうち、p型導電領域11cの厚さは、p型不純物の添加をZn拡散によって行う場合、正確に定義するのが困難となるが、低不純物濃度領域11bの不純物濃度をp型導電領域11cに含まれるp型不純物の最大濃度の十分の一以下とすれば、ここでは90nm程度である。この場合、第3の障壁層12とp型導電領域11cの間には低不純物濃度領域11bが10nm程度存在することになる。この低不純物濃度領域11bと第3の障壁層12の厚さの和がV<sub>th</sub>を決める所以になるので、所望のV<sub>th</sub>に応じてp型導電領域11cの厚さを適切に調整しなければならないが、低不純物濃度領域11bの厚さを5nm以上とすることが好ましい。  
20

第3の障壁層12は、例えばSiよりなるn型不純物が高濃度に添加されたn型不純物高濃度添加領域12aと、不純物が意図的には添加されていない低不純物濃度領域12bとからなる。ここでは、n型不純物高濃度添加領域12aの厚さを4nm、n型不純物高濃度添加領域12aと第1の障壁層11の間に存在する低不純物濃度領域12bの厚さを  
25

3 nm、n型不純物高濃度添加領域12aとチャネル層4の間に存在する低不純物濃度領域12bの厚さを3 nmとし、第3の障壁層12の厚さを合計で10 nmとしている。第3の障壁層12は、もう少し厚くすることも、また薄くすることもできるが、厚くしすぎた場合、エンハンスメント型動作に対応した所望の $V_{th}$ を得るために、p型導電領域を第3の障壁層12内にも作る必要が生じ、拡散の制御が困難となる可能性があるので、20 nm程度以下が望ましい。n型不純物高濃度添加領域12aの厚さは、n型不純物のシート濃度として所望の値が得られ、かつ再現性など製造上の困難が伴わない範囲でできるだけ少ないことが望ましい。従って、数nm以下が望ましく、1原子層でも良い。それは、ソース・ゲート間のチャネル層にあっては、移動度とキャリア濃度の積を最大化できるのでソース抵抗を低減でき、ゲート領域においては、移動度を劣化させることなく、障壁層をキャリアが流れるパラレル伝導をも抑制できるからである。チャネル層4側にある低不純物濃度領域12bの厚さは2 nm以上あることが望ましい。それは、チャネル層4の電子移動度の劣化を抑制するためである。

n型不純物高濃度添加領域12aのシート不純物濃度は、ここでは $2 \times 10^{12}$  個/ $\text{cm}^{-2}$ とした。少なすぎるとソース抵抗が高くなるので、 $1 \times 10^{12}$  個/ $\text{cm}^{-2}$ 台が望ましい。

第2の障壁層3も、例えばSiよりなるn型不純物が高濃度に添加されたn型不純物高濃度添加領域3aと不純物が意図的には添加されていない低不純物濃度領域3bとからなる。n型不純物高濃度添加領域3aのシート不純物濃度は、ここでは $1 \times 10^{12}$  個/ $\text{cm}^{-2}$ とした。

チャネル層4の膜厚は、In組成比20%程度のInGaAsに対しても15 nm程度としたが、膜厚を臨界膜厚以下にするという条件で、In組成比、膜厚は自由に変えることができる。

絶縁膜6、ソース電極7、ドレイン電極8、ゲート電極9に関しては、第7図に示す構造と同様に形成される。絶縁膜6には例えばSi<sub>3</sub>N<sub>4</sub>を用いることができる。ソース電極7、ドレイン電極8、ゲート電極9には、例えばTi/Pt/Auを用いることができる。

5 上記J PHEMT構造を有する第1の実施の形態では、第7図に示す従来型J PHEMTが有するメリットに加えて、V<sub>f</sub>をさらに高くできるため、完全エンハンスメント動作が容易になり、パワーアンプを構成する際に負電源発生回路やドレインスイッチが不要になり、パワーアンプを小型化、低価格化することができる。また、V<sub>f</sub>を高くできる結果、  
10 一定低歪条件の下での電力付加効率を高めることができる。

なお、第1の実施の形態は本発明による基本形であり、第3の障壁層とチャネル層の間、第1の障壁層とゲート電極9の間、第1の障壁層と第3の障壁層の間には、別の層を挿入することができ、それによって新たな効果を付加させることもできる。

15 例えば、第1の実施の形態では、第3の障壁層12にn型不純物が高濃度に添加されているn型不純物高濃度添加領域12aを有するが、第3の障壁層12に使用される材料の種類によっては、n型不純物が高濃度に添加できない場合や、第3の障壁層12とチャネル層4の間に良好な界面が形成しにくい場合もある。そのような場合、第3の障壁層とチャネル層4の間に第4の障壁層を挿入すると都合がいい。第3図は第3の障壁層にn型不純物が高濃度に添加された場合（第2の実施の形態）を示し、第4図は第4の障壁層にn型不純物が高濃度に添加された場合（第3の実施の形態）を示す。第3の障壁層にn型不純物を高濃度に添加しにくい場合は、第4図のようにする必要があり、第3の障壁層とチャネル層4の界面だけが問題になる場合、第3図、第4図のどちらの形態でもよい。  
20  
25

## (第 2 の実施の形態)

第 3 図に基づいて、本発明の半導体装置の第 2 の実施の形態を説明する。この実施の形態では、第 1 の実施の形態と比較して、第 3 の障壁層 13 とチャネル層 4との間に、不純物が意図的には添加されていない第 5 4 の障壁層 14 が設けられている。

第 3 の障壁層 13 は、第 1 の実施の形態の第 3 の障壁層 12 と同様に、第 1 の障壁層 11 と式 (1) のような関係を満たす材料が用いられ、例えば Si よりなる n 型不純物が高濃度に添加された n 型不純物高濃度添加領域 13a と、不純物が意図的には添加されていない低不純物濃度領域 13b とで構成される。

第 4 の障壁層 14 は、チャネル層 4 と良好な界面を形成することができる材料が用いられ、不純物が意図的に添加されない、例えば Al 組成比が 20% 程度またはそれ以下の AlGaAs または GaAs を用いることができる。この場合、n 型不純物高濃度添加領域 13a がチャネル層 4 から離れすぎると、ソース・ゲート間のチャネル層 4 にあっては、キャリア濃度が減少してソース抵抗が高くなり、ゲート領域においては、障壁層をキャリアが流れるパラレル伝導が生じやすくなるなど問題が生じるので、第 4 の障壁層 14 の厚さは 5 nm 程度かそれ以下であることが望ましい。また、第 3 の障壁層 13 と第 4 の障壁層 14 の厚さの和は 20 nm 程度以下であることが望ましい。上記以外の部分については、第 1 の実施の形態と同様に形成される。

上記したように、第 2 の実施の形態では、第 3 の障壁層 13 とチャネル層 4 の間に良好な界面を形成しにくい場合でも、第 4 の障壁層 14 を設けることにより、その問題を解消することができる。

## 25 (第 3 の実施の形態)

第4図に基づいて、本発明の半導体装置の第3の実施の形態を説明する。この実施の形態では、第1の実施の形態と比較して、第3の障壁層15にn型不純物を高濃度に添加された領域がなく、この第3の壁障層15とチャネル層4との間に、n型不純物高濃度添加領域16aを有する第4の障壁層16が設けられている。

第3の障壁層15は、第1の実施の形態の第3の障壁層12と同様に第1の障壁層11と式(1)の関係を満たす材料が用いられるが、これにはn型不純物が意図的には添加されない。

一方、第4の障壁層16には、第2の実施の形態の場合と同様に、チャネル層4と良好な界面を形成することができる材料が用いられ、例えばAl組成比が20%程度またはそれ以下のAlGaAsまたはGaAsを用いることができるが、n型不純物、例えばSiが高濃度に添加されたn型不純物高濃度添加領域16aと、不純物が意図的には添加されていない低不純物濃度領域16bとで構成される。n型不純物高濃度添加領域16aの厚さ、n型不純物のシート濃度、チャネル層4側の低不純物濃度領域16bの厚さに関しては、第1の実施の形態の第3の障壁層12と同様の説明が当てはまるが、第3の障壁層15と第4の障壁層16の和は20nm程度以下であることが望ましい。上記以外の部分については、第1の実施の形態と同様に形成される。

上記したように、第3の実施の形態では、第4の障壁層16を設けることにより、第3の障壁層15として、第1の障壁層11と式(1)の関係を満たす半導体材料であれば、チャネル層4との間に良好な界面を形成しにくい材料でも、またn型不純物の高濃度の添加が困難な材料でも適用することが可能となる。

(第4の実施の形態)

また、第1の実施の形態において、第1の障壁層11とゲート電極9との間のオーミックコンタクト抵抗が問題になることがある。そのような場合、第5図に示すように、ゲート電極9側に電子親和力とバンドギャップの和が第1の障壁層17よりも小さい半導体からなる第5の障壁層18を設ければよい。

第5図に基づいて、本発明の半導体装置の第4の実施の形態を説明する。この実施の形態では、第1の実施の形態と比較して、第1の障壁層11が第1の障壁層17と第5の障壁層18の2層構成に変更され、第1の障壁層17とゲート電極9の間に、電子親和力とバンドギャップの和が第1の障壁層17よりも小さい半導体からなる第5の障壁層18が設けられている。

第5の障壁層18としては、例えばGaAsを用いることができ、第1の障壁層17と同様に、ゲート電極9に対応してp型不純物（ここではZn）が高濃度に添加されたp型導電領域18aを有し、それ以外の領域はp型不純物が意図的には添加されない低不純物濃度領域18bとなっている。第5の障壁層18としての厚さは例えば50nm程度とすることができる。他の部分については第1の実施の形態と同様である。

上記したように、第4の実施の形態では、ゲート電極と第1の障壁層との間に、第1の障壁層よりも電子親和力とバンドギャップの和が小さい第5の障壁層を設けることにより、ゲート金属とゲート金属が接する半導体の間のショットキー障壁高さを減少させることができ、オーミックコンタクト抵抗の低減を図ることができる。

#### （第5の実施の形態）

第6図に基づいて、本発明の半導体装置の第5の実施の形態について説明する。この実施の形態では、第1の実施の形態と比較して、Zn拡散の制御性を高めるため第1の障壁層11が第6の障壁層19と第1の

障壁層 20 の 2 層構成に変更され、第 1 の障壁層 20 と第 3 の障壁層 12 との間に、Zn の拡散速度が第 1 の障壁層 20 よりも遅い半導体からなる第 6 の障壁層 19 が設けられている。

この構成では、例えば、第 1 の障壁層 20 に AlGaAs または InGaP を、第 6 の障壁層 19 には GaAs または AlGaAs を用いることができる。なお、 $V_{th}$  を高くする目的から、第 6 の障壁層 19 と第 3 の障壁層 12 の厚さの和は 25 nm 程度以下であることが望ましい。また、Zn が第 6 の障壁層 19 を突き破らないように第 6 の障壁層は 5 nm 程度以上あることが望ましい。他の部分については第 1 の実施の形態と同様である。

上記したように、第 5 の実施の形態では、ゲート電極 9 に対応して設けられる第 1 の障壁層 20 の p 型導電領域 20c を Zn の拡散によって形成する場合に、第 1 の障壁層 20 に添加された Zn の拡散を第 6 の障壁層 19 で止めることができ、Zn 拡散層の厚さを容易に制御することができる。

本発明の半導体装置は、上記実施の形態に限定されることはなく、上記実施の形態をミックスしたさまざまな構成が考えられる。例えば、第 4 ~ 第 6 の障壁層は、このうちのひとつだけが存在してもいいし、このうちの二つが存在してもいいし、すべてが存在してもよい。

上述したように、本発明 (1) によれば、第 1 の障壁層とチャネル層との間に、式 (1) の関係を有する第 3 の障壁層を設けることにより、ゲート順方向の立ち上がり電圧  $V_f$  を効果的に高くすることができ、完全エンハンスメント型動作が可能で、かつ低歪み高効率特性に優れたパワートランジスタを実現することができる。結果として、このトランジスタを用いて構成されるパワーアンプは負電源回路やドレインスイッチ

を必要としないため、小型、低価格となり、また低歪み高効率特性にも優れたものとなる。

本発明（2）によれば、第3の障壁層とチャネル層の間に第4の障壁層を設けることにより、チャネル層との界面を考慮することなく第3の  
5 障壁層の材料を選択することができる。

本発明（3）によれば、第1の障壁層とゲート電極の間に、第1の障壁層よりもバンドギャップの小さい第5の障壁層を設けることにより、オーミックコンタクト抵抗の低減を図ることができる。

本発明（4）によれば、第1の障壁層と第3の障壁層の間に、Znの  
10 拡散速度が第1の障壁層よりも遅い第6の障壁層を設けることにより、p型導電領域を形成するZn拡散の制御性を高めることができる。

## 請求の範囲

1. ソース電極と、ドレイン電極と、ソース電極とドレイン電極の間に設けられたゲート電極と、ソース電極とドレイン電極の間の電流通路  
5 となる半導体からなるチャネル層とを有する半導体装置において、

前記ゲート電極に対応して高濃度のp型不純物が添加されたp型導電領域を有する半導体からなる第1の障壁層と、

前記チャネル層を挟んで前記第1の障壁層と反対側に設けられ、前記チャネル層よりも電子親和力が小さい半導体からなる第2の障壁層と、

10 前記第1の障壁層と前記チャネル層の間に設けられ、前記チャネル層よりも電子親和力が小さい半導体からなる第3の障壁層とを備え、

前記第1の障壁層の電子親和力を $\chi_1$ 、バンドギャップをEg<sub>1</sub>、前記第3の障壁層の電子親和力を $\chi_3$ 、バンドギャップをEg<sub>3</sub>としたとき、  
次式

15  $\chi_1 - \chi_3 \leq 0.5 * (Eg_3 - Eg_1) \quad \dots \dots \quad (1)$

が成り立つことを特徴とする半導体装置。

2. 前記第3の障壁層を形成する半導体がIII族元素としてGa、  
Al及びInのうち少なくともひとつを含み、V族元素としてAs及び  
Pのうち少なくともひとつを含むIII-V族化合物半導体よりなること  
20 を特徴とする請求の範囲第1項記載の半導体装置。

3. 前記第3の障壁層を形成する半導体がInGaPまたはAlGa  
InPまたはInGaAsPであることを特徴とする請求の範囲第1項  
記載の半導体装置。

4. 前記第3の障壁層を形成する半導体がAl組成比50%以上のA  
25 lGaAsまたはAlGaAsPまたはAlGaInAsであることを  
特徴とする請求の範囲第1項記載の半導体装置。

5. 前記第3の障壁層の厚さが20nm以下であることを特徴とする請求の範囲第1項記載の半導体装置。

6. 前記第1の障壁層を形成する半導体が、AlGaAsまたはGaAsまたはInGaPであることを特徴とする請求の範囲第1項記載の半導体装置。  
5

7. 前記第3の障壁層と前記チャネル層の間に、前記チャネル層よりも電子親和力が小さい半導体からなる第4の障壁層を備えたことを特徴とする請求の範囲第1項記載の半導体装置。

8. 前記第4の障壁層を形成する半導体が、AlGaAsまたはGaAsであることを特徴とする請求の範囲第7項記載の半導体装置。  
10

9. 前記第3の障壁層と前記第4の障壁層の厚さの和が20nm以下であることを特徴とする請求の範囲第7項記載の半導体装置。

10. 前記第1の障壁層と前記ゲート電極の間に、前記第1の障壁層よりもバンドギャップが小さく、高濃度のp型不純物が添加されたp型導電領域を有する半導体からなる第5の障壁層を備えたことを特徴とする請求の範囲第1項記載の半導体装置。  
15

11. 前記第5の障壁層を形成する半導体がGaAsであることを特徴とする請求の範囲第10項記載の半導体装置。

12. 前記第1の障壁層に添加されているp型不純物がZnであることを特徴とする請求の範囲第1項記載の半導体装置。  
20

13. 前記第1の障壁層と前記第3の障壁層の間に、Znの拡散速度が第1の障壁層よりも遅い半導体からなる第6の障壁層を備えたことを特徴とする請求の範囲第1項記載の半導体装置。

14. 前記第6の障壁層を形成する半導体が、GaAsまたはAlGaAsであることを特徴とする請求の範囲第13項記載の半導体装置。  
25

15. 前記第3の障壁層と前記第6の障壁層の厚さの和が25nm以下であることを特徴とする請求の範囲第13項記載の半導体装置。

16. 前記第3の障壁層に接するゲート電極側半導体層において、前記第1の障壁層に含まれるp型不純物の最大濃度の十分の一以下の不純物しか含まれていない半導体層が5nm以上の厚みで存在することを特徴とする請求の範囲第1項記載の半導体装置。  
5

17. 前記第1の障壁層、第3の障壁層、第4の障壁層および第6の障壁層のいずれか少なくともひとつの層に高濃度のn型不純物が添加されていることを特徴とする請求の範囲第1項記載の半導体装置。

18. 前記チャネル層を形成する半導体が、InGaAsまたはGaAsであることを特徴とする請求の範囲第1項記載の半導体装置。  
10

Fig.1

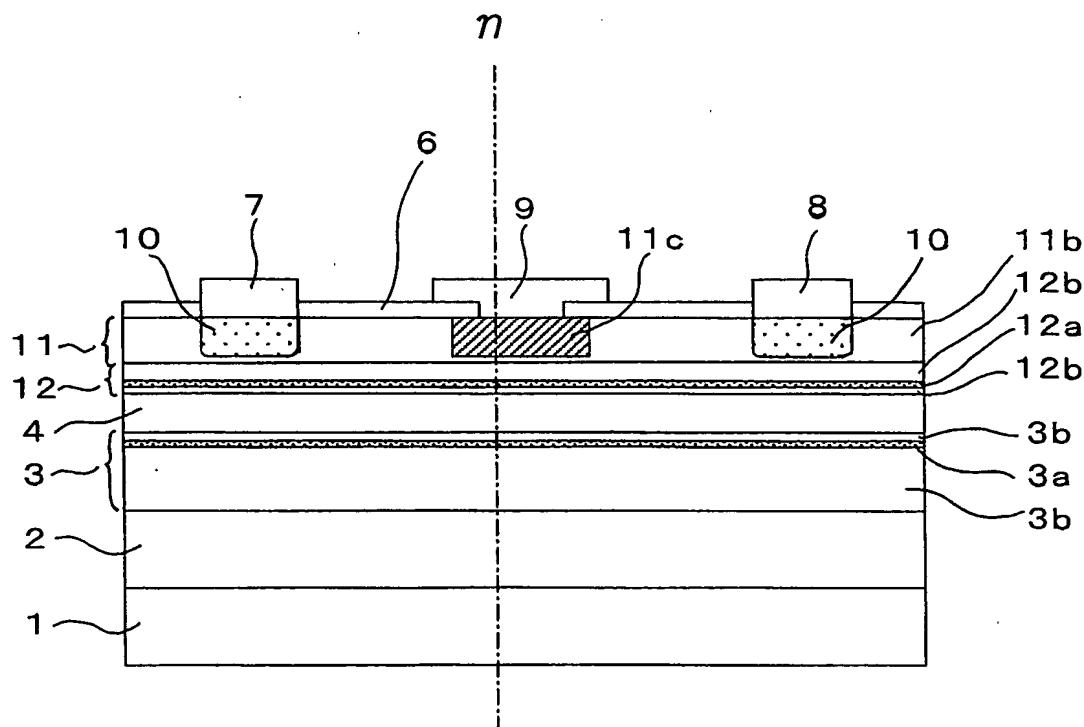
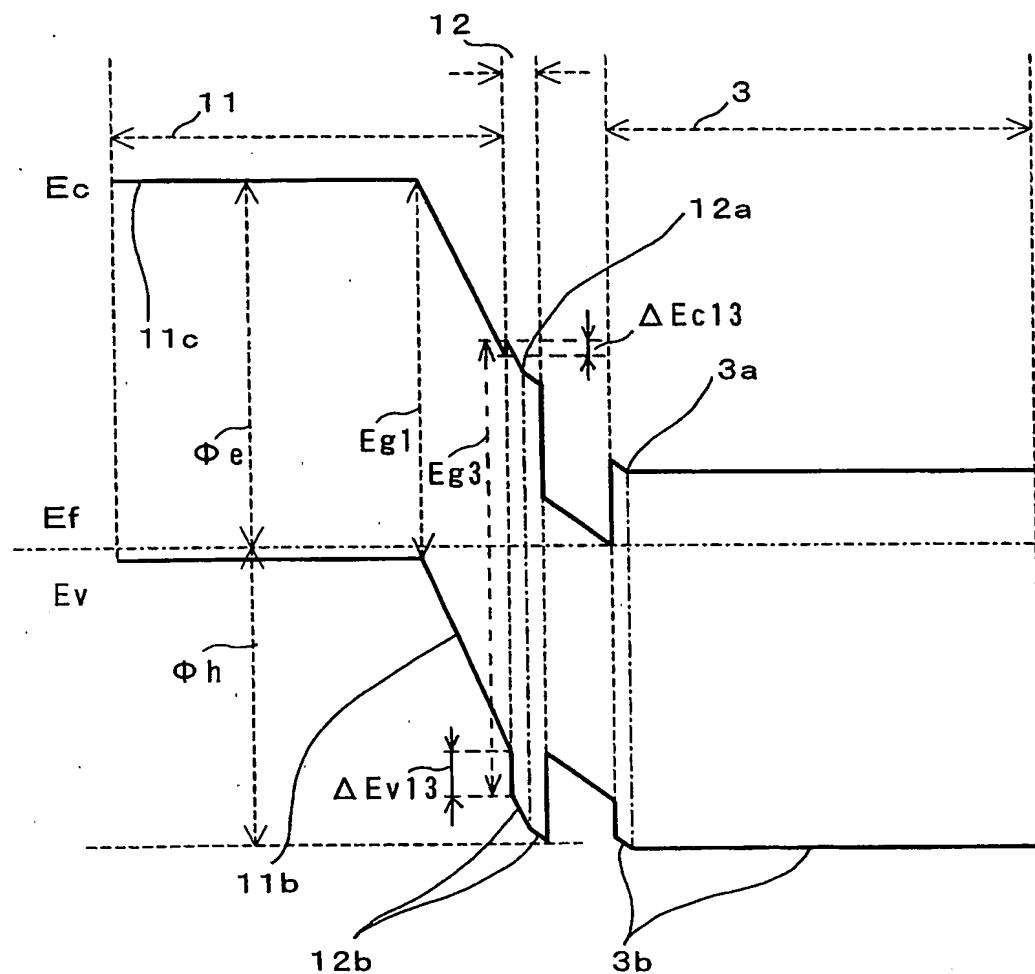


Fig.2



3/6

Fig.3

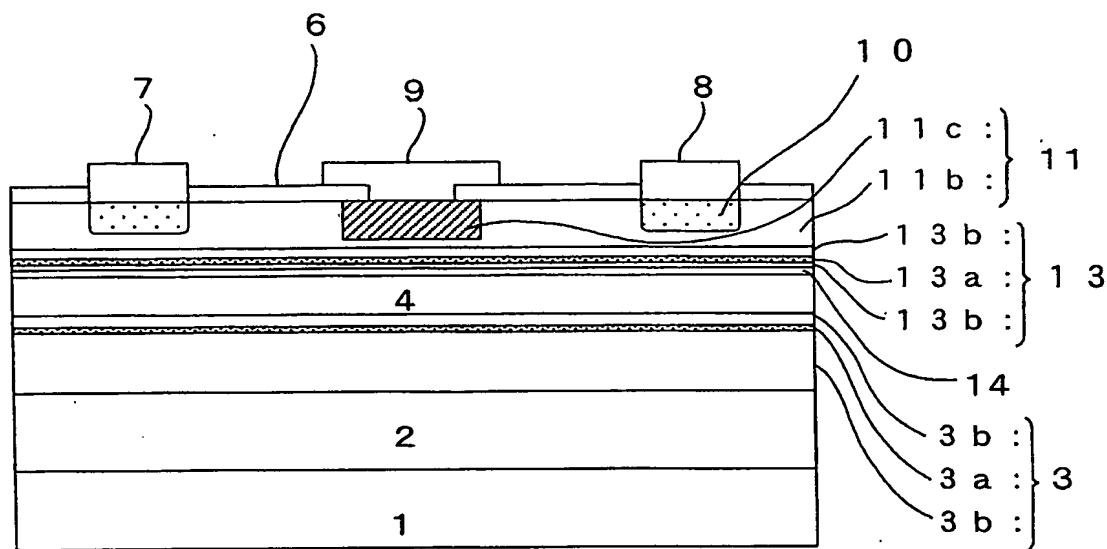
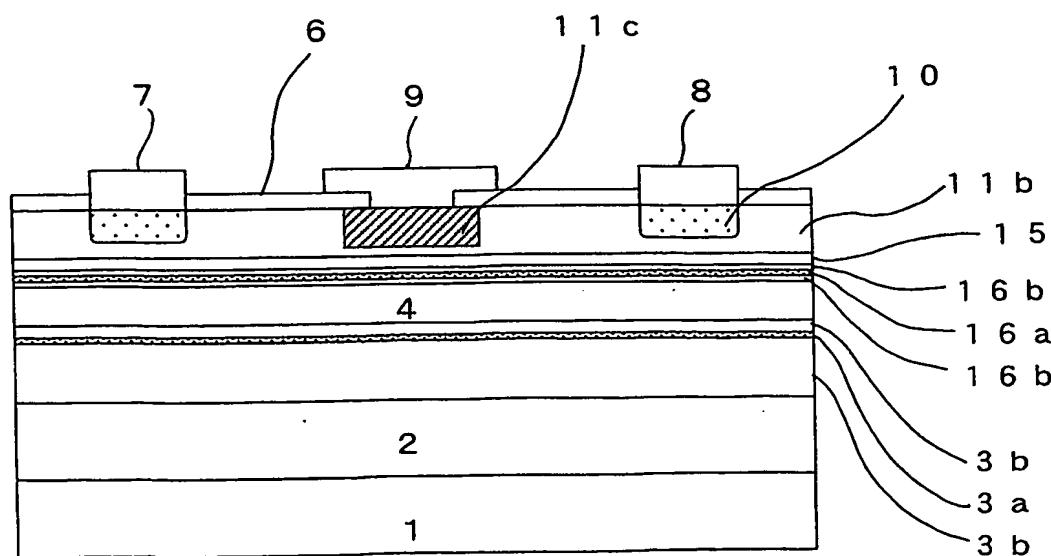


Fig.4



4/6

Fig.5

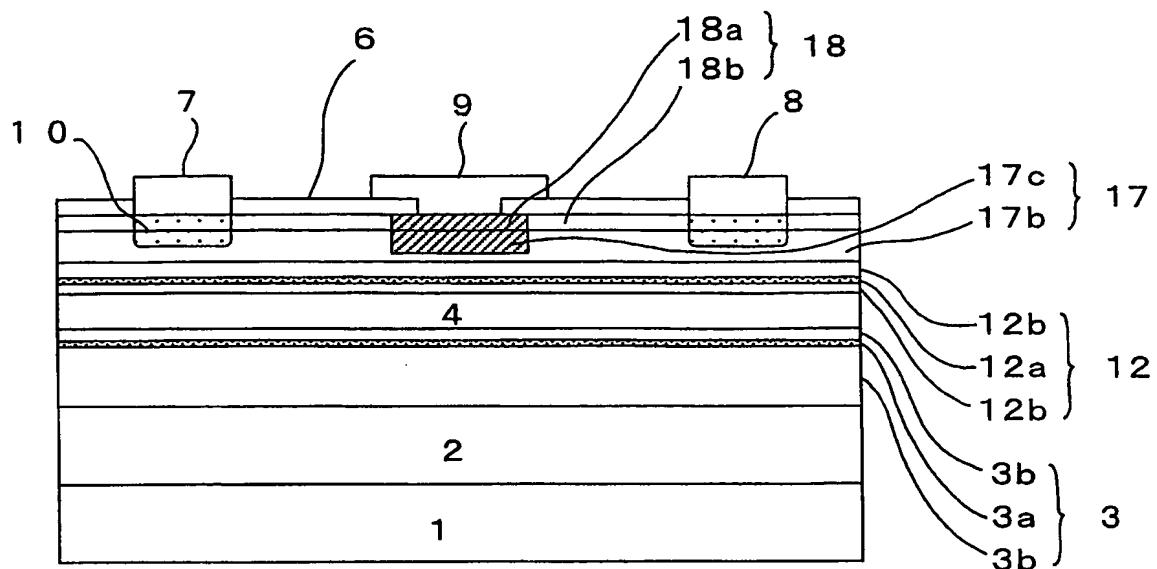


Fig.6

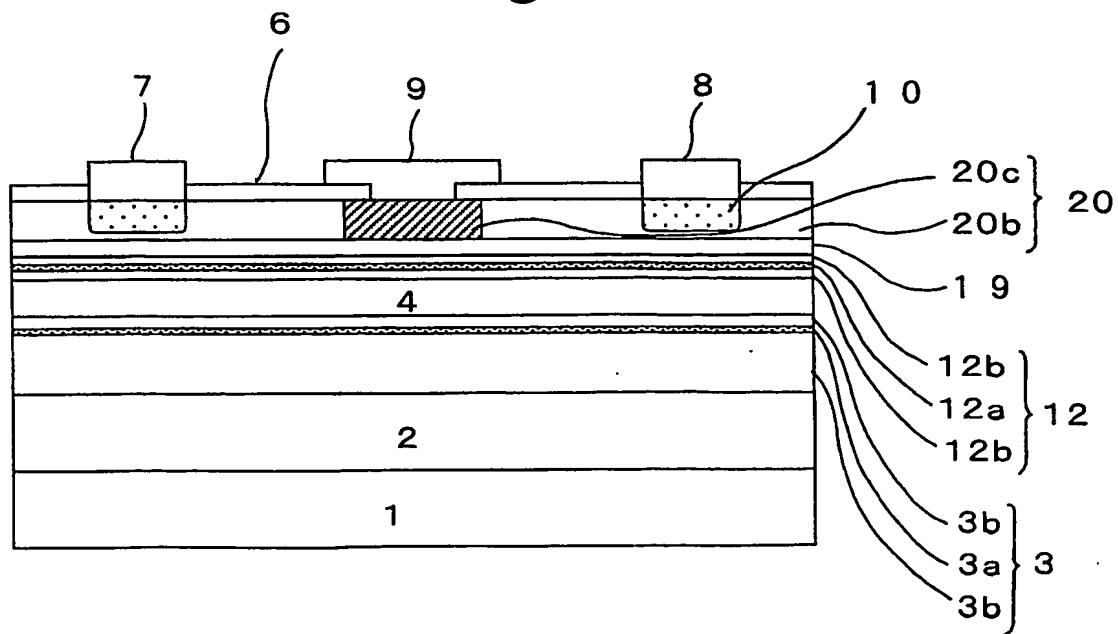


Fig.7

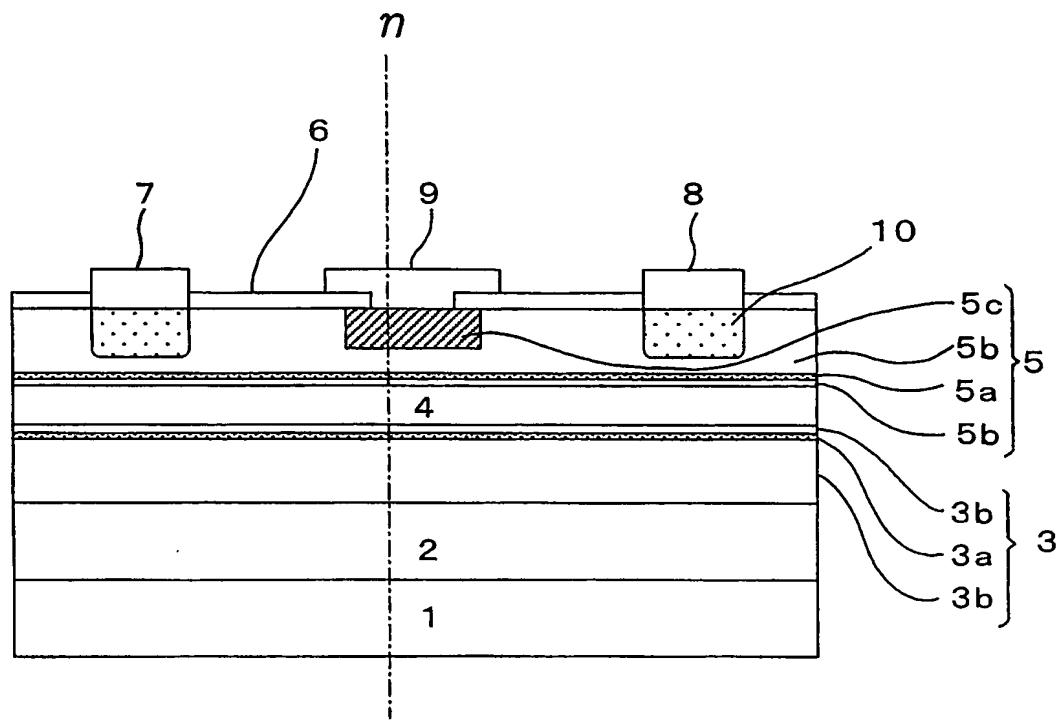
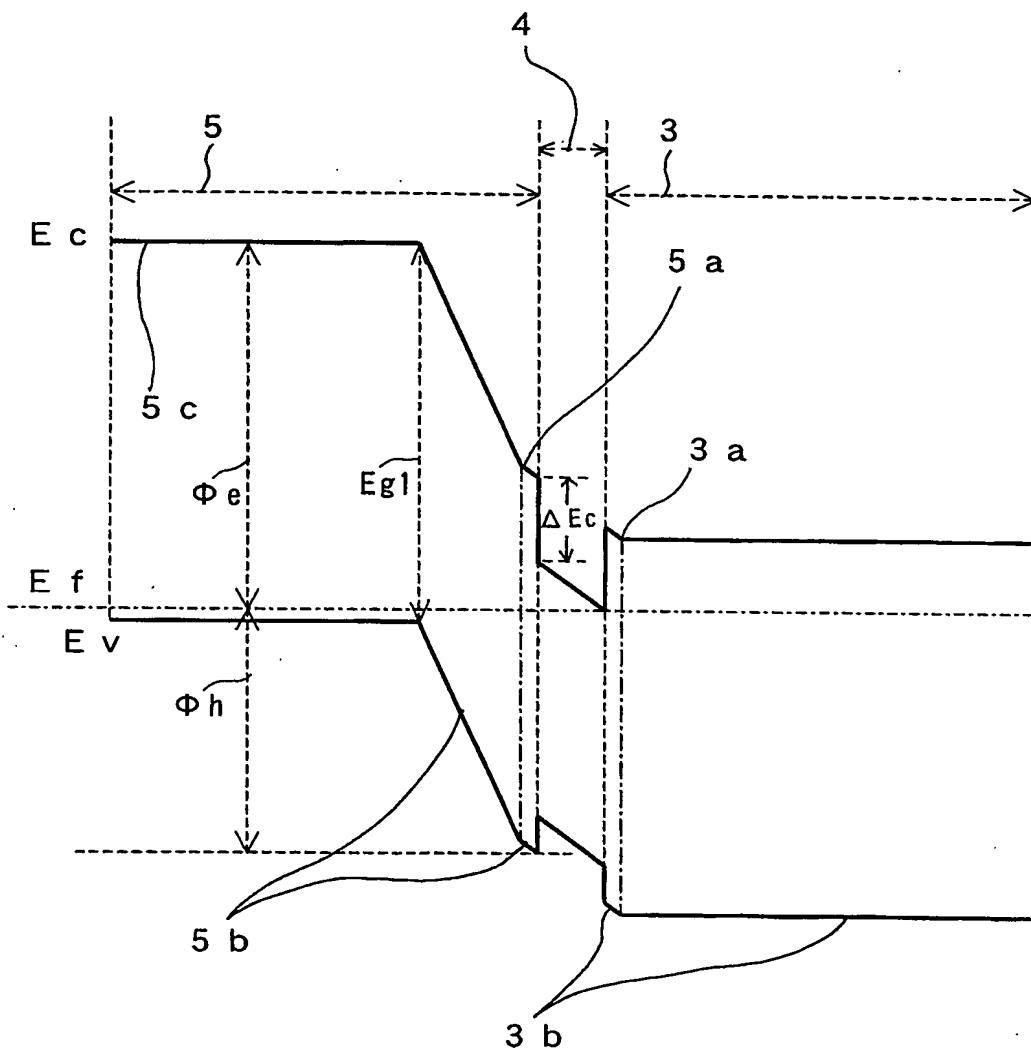


Fig.8



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08982

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl' H01L21/337, H01L21/338, H01L29/778, H01L29/808, H01L29/812

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl' H01L21/337, H01L21/338, H01L29/778, H01L29/808, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	US 2001/0019131 A1 (Takehiko KATO), 06 September, 2001 (06.09.01), Full text; Figs. 1 to 64 & JP 2001-250939 A Full text; Figs. 1 to 64	1-3, 5-9, 12, 16-18 10, 11, 13-15
P, Y	JP 2000-208753 A (Sony Corp.), 28 July, 2000 (28.07.00), Full text; Figs. 1 to 8 (Family: none)	1, 2, 4-9, 12, 16-18 10, 11, 13-15
X	JP 2000-349095 A (Sony Corp.), 15 December, 2000 (15.12.00), Par. Nos. [0036] to [0039]; Fig. 1 (Family: none)	10, 11
Y		

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
01 September, 2003 (01.09.03)Date of mailing of the international search report  
16 September, 2003 (16.09.03)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08982

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6281528 B1 (SONY CORP.), 28 August, 2001 (28.08.01), Full text; Figs. 1 to 6 & JP 2000-100828 A Full text; Figs. 1 to 6 & KR 23237 A	10,11
Y	JP 63-128759 A (Fujitsu Ltd.), 01 June, 1988 (01.06.88), Full text; Figs. 1 to 2 (Family: none)	13-15
Y	US 6365925 B2 (SONY CORP.), 02 April, 2002 (02.04.02), Column 8, lines 35 to 50 & JP 11-150264 A Par. Nos. [0071] to [0072] & KR 99029757 A	13-15
A	JP 1-117070 A (Hitachi, Ltd.), 09 May, 1989 (09.05.89), Full text; Figs. 1 to 3 (Family: none)	1-18
A	EP 301862 A2 (SONY CORP.), 01 February, 1989 (01.02.89), Full text; Figs. 1 to 5 & JP 64-36080 A Full text; Figs. 1 to 5	1-18
A	JP 63-132484 A (Sony Corp.), 04 June, 1988 (04.06.88), Full text; Figs. 1 to 8 (Family: none)	1-18
A	JP 61-230379 A (NEC Corp.), 14 October, 1986 (14.10.86), Full text; Figs. 1 to 4 (Family: none)	1-18

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C1' H01L21/337, H01L21/338, H01L29/778, H01L29/808,  
H01L29/812

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C1' H01L21/337, H01L21/338, H01L29/778, H01L29/808,  
H01L29/812

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PX	US 2001/0019131 A1 (Takehiko KA TO)	1-3, 5-9, 12, 16-18
PY	2001. 09. 06, 全文, 第1-64図 & JP 2001-250939 A, 全文, 第1-64図	10, 11, 13-15
X	JP 2000-208753 A (ソニー株式会社) 2000. 07. 28, 全文, 第1-8図 (ファミリーなし)	1, 2, 4-9, 12, 16-18
Y		10, 11, 13-15

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示す  
もの

「E」国際出願日前の出願または特許であるが、国際出願日  
以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行  
日若しくは他の特別な理由を確立するために引用する  
文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって  
出願と矛盾するものではなく、発明の原理又は理論  
の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明  
の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以  
上の文献との、当業者にとって自明である組合せに  
よって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

## 国際調査を完了した日

01. 09. 03

## 国際調査報告の発送日

16.09.03

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官 (権限のある職員)

渕 真悟

4 L 2933



電話番号 03-3581-1101 内線 3496

C(続き) 関連すると認められる文献		関連する請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP 2000-349095 A (ソニー株式会社) 2000. 12. 15, 段落番号【0036】-【0039】, 第1図 (ファミリーなし)	10, 11
Y	US 6281528 B1 (SONY CORPORATION) 2001. 08. 28, 全文, 第1-6図 & JP 2000-100828 A, 全文, 第1-6図 & KR 23237 A	10, 11
Y	JP 63-128759 A (富士通株式会社) 1988. 06. 01, 全文, 第1-2図 (ファミリーなし)	13-15
Y	US 6365925 B2 (SONY CORPORATION) 2002. 04. 02, 第8欄第35-50行 & JP 11-150264 A, 段落番号【0071】- 【0072】 & KR 99029757 A	13-15
A	JP 1-117070 A (株式会社日立製作所) 1989. 05. 09, 全文, 第1-3図 (ファミリーなし)	1-18
A	EP 301862 A2 (SONY CORPORATION) 1989. 02. 01, 全文, 第1-5図 & JP 64-36080 A, 全文, 第1-5図	1-18
A	JP 63-132484 A (ソニー株式会社) 1988. 06. 04, 全文, 第1-8図 (ファミリーなし)	1-18
A	JP 61-230379 A (日本電気株式会社) 1986. 10. 14, 全文, 第1-4図 (ファミリーなし)	1-18